

[Previous Doc](#)[Next Doc](#)  
[First Hit](#)[Go to Doc#](#)

Generate Collection

L25: Entry 5 of 12

File: JPAB

Jan 21, 1994

PUB-NO: JP406012313A

DOCUMENT-IDENTIFIER: JP 06012313 A

TITLE: MEMORY DEVICE

PUBN-DATE: January 21, 1994

## INVENTOR-INFORMATION:

NAME

COUNTRY

OUCHI, YASUSHI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

APPL-NO: JP04167197

APPL-DATE: June 25, 1992

INT-CL (IPC): G06F 12/00; G06F 13/362; G06F 13/42

## ABSTRACT:

PURPOSE: To enable high-speed memory access without any sampling loss of a conffliction circuit in a device made access from plural CPUs at the same time by providing a mode switch and a selector which output a CPU clock requesting memory access operation and the memory conflicting circuit operated based on the output clock.

CONSTITUTION: When memory access by a 1st CPU takes place successively, a 1st selector 2, the mode switch 1, and a 2nd selector 3 hold the selection of the CPU and since an edge detecting circuit 4 does not change the output, a 3rd selector 6 outputs the output of the 1st selector 2. Therefore, when CPU1 REQ becomes active, the CPU1REQ is sampled from a 2nd latch 7 without passing through a 1st latch 5, so no sampling loss is generated. Such removal of the loss results from that a synchronous circuit can be omitted by one stage since the CPU1REQ is synchronized with the sampling clocks of the 1st and 2nd latches 5 and 7.

COPYRIGHT: (C)1994, JPO&amp;Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開平6-12313

(43)公開日 平成 6 年(1994) 1 月21 日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 6 4	9366-5B		
13/362	5 1 0 A	9072-5B		
13/42	3 5 0 B	8840-5B		

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-167197  
(22)出願日 平成 4 年(1992) 6 月25 日

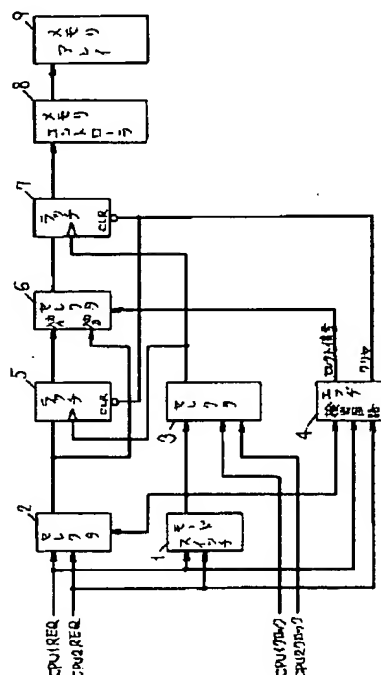
(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 大内 康史  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 弁理士 小鍛冶 明 (外 2 名)

(54)【発明の名称】 メモリ装置

(57)【要約】

【目的】 複数のCPUがメモリ競合回路のサンプリングロス無しに高速アクセスできるメモリ装置を提供する。

【構成】 メモリアクセス動作を要求中のCPU動作クロックを出力するスイッチ回路1〜3と、スイッチ回路出力のクロックを基準にして、動作するメモリ競合回路5〜7とを備える。



1

## 【特許請求の範囲】

【請求項1】複数のCPUから同時にアクセスされるメモリ装置において、メモリアクセス要求中のCPU動作クロックを出力するスイッチ回路と、前記スイッチ回路の出力のクロックを非メモリアクセス中に現在のクロックと切り替え、基準クロックとして動作する各CPU間のアクセス調停回路とを備えたメモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ワークステーション、デスクトップパブリッシング、パーソナルコンピュータ等に用いられるメモリ装置に関する。

## 【0002】

【従来の技術】近年、アプリケーションソフトウェアの高機能化に伴い、ワークステーション、デスクトップパブリッシング(DTP)、パーソナルコンピュータ等の処理速度の高速化、メモリの大容量化が進んでいる。メモリとしては、益々、高速化・低コスト化される半導体メモリが多く使用されている。一般に、複数のCPUからアクセスされるメモリでは、各CPUのメモリアクセス要求を調停する競合回路が必要であり、CPUと非同期のクロックで駆動されていた。

## 【0003】

【発明が解決しようとする課題】しかしながら、従来の方式では、全CPUと非同期のクロックで競合回路を駆動しているために、各CPUのメモリアクセス時にサンプリングロスが生じ、アクセス速度の低下を招いていた。

【0004】本発明は上記課題を解決するもので、各CPUが競合回路のサンプリングロス無しに高速アクセスできるメモリ装置の提供を目的とする。

## 【0005】

【課題を解決するための手段】本発明は上記目的を達成するために、メモリアクセス要求中のCPU動作クロックを出力するスイッチ回路と、スイッチ回路出力のクロックを非メモリアクセス中に現在のクロックと切り替え、基準クロックとして動作する各CPU間のアクセス調停回路とを備えた構成を有する。

## 【0006】

【作用】本発明は上記した構成によって、複数のCPUがアクセスするメモリ装置において、各CPUは競合回路のサンプリングロス無く、高速なメモリアクセスを可能にするよう作用する。

## 【0007】

【実施例】図1は本発明の一実施例におけるメモリ装置の構成を示すブロック図である。本実施例ではCPUは2つの場合について説明する。

【0008】図1において、1はCPU1のメモリアクセス要求(アクティブハイ)の立ち上がりエッジを検出する都度、CPU1を選択する信号を出力(ハイ出

2

力)し、CPU2のメモリアクセス要求(アクティブハイ)の立ち上がりエッジを検出する都度、CPU2を選択する信号を出力(ロー出力)するモードスイッチである。2はモードスイッチ1の出力がハイのときはCPU1のアクセス要求信号(CPU1REQ)を、ローのときはCPU2のアクセス要求信号(CPU2REQ)を出力する第1のセクタである。3はモードスイッチ1の出力がハイのときはCPU1のCPUクロック(CPU1クロック)を、ローのときはCPU2のCPUクロック(CPU2クロック)を出力する第2のセクタである。4はモードスイッチ1が選択している(CPU1選択時はハイ)ものと異なるCPUアクセス要求の立ち上がりエッジを検出すると現在のメモリアクセス要求期間のみハイ出力を行い、また、本出力信号の変化時(立ち上がり、立ち下がり期間)にクリヤ信号(ローパルス)を出力するエッジ検出回路である。5は第1のセクタ2の信号を第2のセクタ3の出力クロックでサンプリングする第1のラッチである。6はエッジ検出回路4の出力のセレクト信号がハイのときは第1のラッチ5の出力を、ローのときは第1のセクタ2の出力信号を選択し出力する第3のセクタである。7は第3のセクタ6の出力を第2のセクタ3の出力のクロックでサンプリングする第2のラッチである。8は第2のラッチ7の出力からメモリアクセス制御信号を生成するメモリコントローラである。9はメモリコントローラ8からのメモリアクセス制御信号を受け、データのリード・ライトが行われるメモリアレイである。また、第1のセクタ2、第2のセクタ3、モードスイッチ1、エッジ検出回路4は現在メモリアクセス中に他のCPUのメモリアクセス要求が発生したときは現在のアクセス終了後、受け付けるものとする。

【0009】以上のような構成要素の本実施例のメモリ装置について、以下その動作を説明する。

【0010】図2はCPU2のメモリアクセス終了後に、CPU1のアクセス要求が来たときのタイミングチャート、図3はCPU1のメモリアクセス終了後に、連続してCPU1のアクセス要求が来たときのタイミングチャートである。

【0011】まず、図2に示す場合について説明する。図1のCPU1REQがハイになると(図2の21)、モードスイッチ1の出力はローからハイに変化する。すると、第1のセクタ2はCPU1REQ信号を第1のラッチ5に出力し、第2のセクタ3はCPU1クロックを第1のラッチ5、第2のラッチ7に出力する。また、エッジ検出回路4はCPU1REQの立ち上がりエッジ検出後、CPU1クロックがローになるまでクリア信号をアクティブ(ロー)にし、CPU1クロックがローのときに(図2の22)セレクト信号をハイにし、CPU1REQがノンアクティブ(ロー)になるまでハイを保持する。メモリコントローラ8は第2のラッチ7の

3

出力を受け、メモリアクセス制御信号を後段のメモリアレイに出力し、メモリアクセスが行われる。前述のように、現在選択されているCPUクロック以外のCPUのメモリアクセス要求が発生した場合は、第1のラッチ5、第2のラッチ7でアクセス要求がサンプリングされ、図2のロスに示すように第1、第2のラッチ5、7のサンプリングクロック切り替えによるアクセスタイムの遅れが生じる。これは、CPUの非同期クロックでアクセス要求信号をサンプリングしたときと同等である。

【0012】しかし、図3に示すようにCPU1のメモリアクセスが連続して起こった場合は、第1のセクタ2、モードスイッチ1、第2のセクタ3はCPU1の選択状態を保持したままであり、エッジ検出回路4は出力を変化させないので、第3のセクタ6は第1のセクタ2の出力を出力している。したがって、CPU1REQがアクティブになった場合は(図3の31)、CPU1REQは第1のラッチ5を通らず第2のラッチ7からサンプリングされるので、図2のロスで示したサンプリングロスが無く高速アクセスが可能となる。これは、第1、第2のラッチのサンプリングクロックとCPU1REQが同期しているために同期回路を1段省略できるからである(図3の例では第1のラッチ5)。

【0013】このように本実施例によると、メモリアクセス動作を要求しているCPUクロックを出力するモードスイッチ、セクタと、その出力クロックを基準にして動作するメモリ競合回路を設けてあるので、競合回路のサンプリングロス無く、高速アクセスを可能にできる。

【0014】なお、本実施例ではCPUが2つの場合を述べたが、CPUが増加した場合には、増加した数だ

4

け、各セクタ、モードスイッチ、そしてエッジ検出回路の入力数を拡張すればよい。

【0015】

【発明の効果】以上の実施例から明らかなように本発明によると、メモリアクセス要求中のCPU動作クロックを出力するスイッチ回路と、スイッチ回路出力のクロックを非メモリアクセス中に現在のクロックと切り替え、基準クロックとして動作する各CPU間のアクセス調停回路とを備えてあるので、複数のCPUから同時にアクセスされるメモリ装置において、競合回路のサンプリングロス無しに、高速アクセス可能なメモリ装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるメモリ装置の構成を示すブロック図

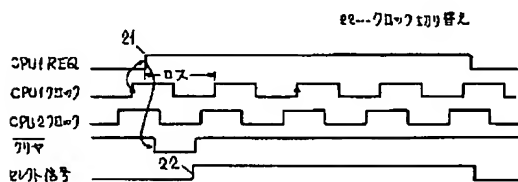
【図2】CPU2のメモリアクセス終了後に、CPU1のアクセス要求が来たときのタイミングチャート

【図3】CPU1のメモリアクセス終了後に、連続してCPU1のアクセス要求が来たときのタイミングチャート

【符号の説明】

- 1 モードスイッチ
- 2 第1のセクタ
- 3 第2のセクタ
- 4 エッジ検出回路
- 5 第1のラッチ
- 6 第3のセクタ
- 7 第2のラッチ
- 8 メモリコントローラ

【図2】



【図3】



【図1】

